

# FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE  
Pavol.Galajda@tuke.sk

# 1 Úvod do ASIC- teoretický základ

---

- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
  - SPLD
  - CPLD
  - FPGA
- 1.4 Ekonomické aspekty
  - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA – migrácia, prechod ku ASIC

# 1.2 Historický vývoj a rozdelenie IO

- *História PLD sa datuje od roku 1975- keď bol na trh uvedený obvod typu FPLA.*
- *V tom čase už boli na trhu dostupné obvody typu PROM- ich uplatnenie pri návrhu číslicových systémov bolo mizivé (napr. dekodér). Dostupné boli tiež maskou programovateľné obvody PLA- líniu vývoja môžeme naznačiť:*
  - obvody PROM =>maskou program. PLA=>obvody FPLA=>obvody PAL*
- *Typické boli obvody PAL- dovoľovali realizovať do desať log. funkcií v jednom puzdre. Technologicky vychádzali z bipolárnych pamätí ROM (raz programovateľné a pomerne rýchle). Používala sa pre nich skratka **PLD**.*
- *V roku 1984 do týchto obvodov preniká techn. EPROM- založená na techn. CMOS, mazateľná UV žiarením. Znížený príkon a väčšia hustota umožnila konštrukciu zložitejších obvodov **CPLD** (Complex Programmable Logic Devices)- ide o niekoľko PLD doplnených programovateľným prepojením- Prvý obvod uviedla ALTERA v roku 1985.*
- *Súčasne bola prevzatá techn. EECMOS uplatňujúca sa najprv v malých obvodoch PLD- **SPLD** (Lattice ich označuje ako GAL).*
- *V roku 1984 firma Xilinx prišla s programovateľnými hradlovými poľami FPGA (programovanie bolo realizované spínačmi CMOS riadené údajmi v SRAM)*

# 1.2 Historický vývoj a rozdelenie IO

- *V roku 1988 firma Actel a QuickLogic vyvinula alternatívu k spínačom CMOS tzv. antipoistky- **Anti-fuse** (návrat k jednorázovému programovaniu, antipoistka mala výrazne lepšie elektrické vlastnosti ako CMOS).*
- *Koncom 80-tých rokov firma Xilinx upravila programovateľnú logiku tak, aby jej ovládaciu pamäť bolo možné alternatívne využiť pre dáta- to bol začiatok prenikania pamätí do obvodov FPGA.*
- *Súčasný vývoj je charakterizovaný*
  - *prudkým nárastom kapacity (stovky tisíc až milióny hradiel)*
  - *vonkajšími charakteristikami obvodu (rozkmit signálov, zaťažiteľnosť) schopnými priamo spolupracovať so zbernicou PCI, pamäťovými modulmi*
  - *rôzne napájacie napätia*
- *Pôvodne výrazne odlišné kategórie obvodov FPGA a CPLD sa približujú.*

	Typ ASIC obvodu					
	Programovatelné součástky			Obvody programované maskami při výrobě		
	CPLD	FPGA	analogová pole	hradlová pole	kombinovaná pole	standardní buňky a plně zákaznické obvody
<b>digitální zapojení</b>	ano	ano	ne	ano	ano	ano
<b>analogové zapojení</b>	ne	ne	<b>ano</b>	ne	<b>ano</b>	<b>ano</b>
<b>maximální velikost</b>	tisíce hradel	miliony hradel	20 funkčních bloků	statisíce hradel	100 000 hradel + analogové a pasivní prvky	statisíce hradel
<b>statická spotřeba</b>	<100 $\mu$ A	od 3mA	30mA	1 až 50nA na 1 hradlo	1 až 50nA na 1 hradlo	1 až 50nA na 1 hradlo
<b>napájení</b>	1,8; 2,5; 3,3 nebo 5V	od 1,3V do 5V	5V	1,8 až 5V	0,9 až 3,6V	závislé na technologii a návrhu
<b>paměť na čipu</b>	ne	některé typy ano	ne	<b>ano (ROM i RAM)</b>	ne	<b>ano (ROM i RAM)</b>
<b>reprogramovatelnost</b>	<b>ano</b>	<b>ano</b>	<b>ano</b>	ne	ne	ne
<b>ekonomicky vhodná výrobní série (1)</b>	1 ks a více	1 ks a více	1 ks a více	10k až 100k ks	50k ks a více	100k ks a více
<b>typická doba vývoje obvodu (2)</b>	2 až 12 týdnů	2 až 6 týdnů	2 až 12 týdnů	3 až 6 měsíců	2 až 3 měsíce	4 až 12 měsíců

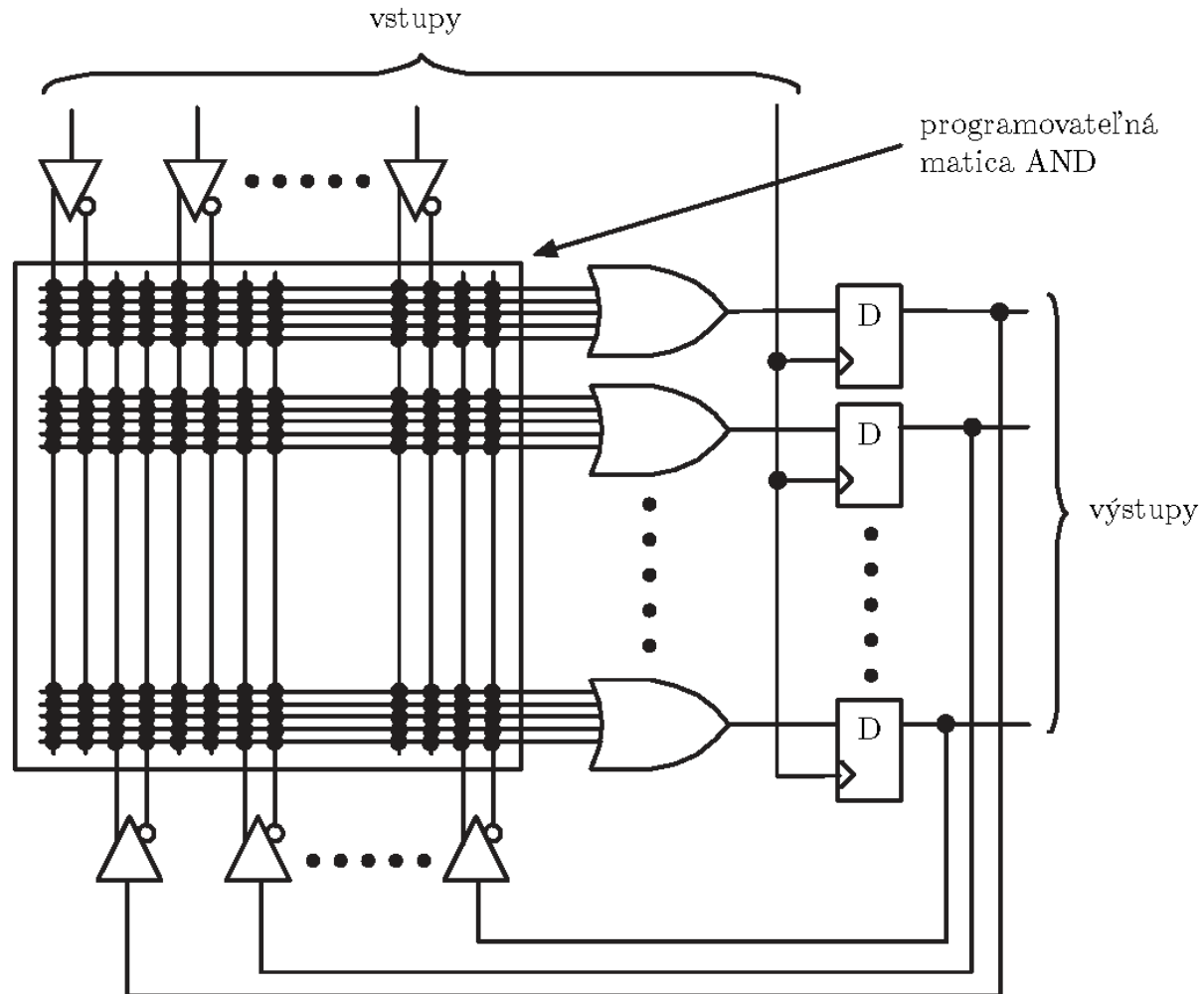
## 1.3 Typy PLD obvodov

- Programovateľné súčiastky a hlavne hradlové polia sú veľmi dôležité prvky dnešnej elektroniky. Vďaka nim si ktokoľvek môže vytvoriť vlastný zákaznícky IO prispôsobený konkrétnej aplikácii s minimálnymi nákladmi.
- Všetky číslicové programovateľné súčiastky sa spoločne označujú PLD. Číslicové programovateľné súčiastky je možné podľa vnútornej štruktúry rozdeliť do troch skupín.
  - Prvú skupinu budú tvoriť klasické PLD (SPLD),
  - druhú zložité PLD (CPLD) a
  - do tretej skupiny patria obvody typu FPGA.

# Klasické SPLD

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčinnové hradlo.

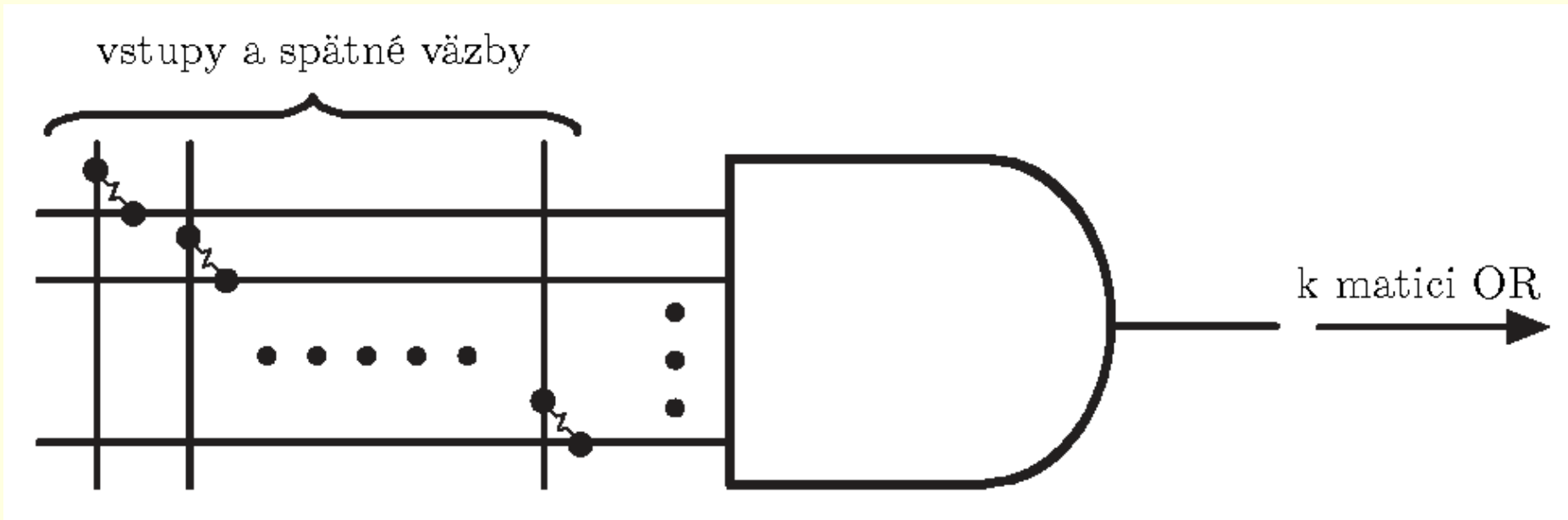
Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčinnového hradla je však obmedzený.



# Klasické- SPLD

Zapojenie jedného súčinového hradla je znázornené na obrázku. Vlnovky na tomto obrázku predstavujú programovateľné spínače. Ich realizácia závisí od výrobných technológií obvodu. Napríklad v prípade bipolárnych obvodov sa jedná o akúsi poistku, ktorá sa pri programovaní obvodu "prepáli" prúdovým impulzom. V technológii CMOS sú spínače realizované rovnakými princípmi, ako v prípade pamäti PROM, EPROM alebo EEPROM.

Do kategórie klasických PLD je možné zaradiť obvody: PLD, PAL, PLA, GAL, ...

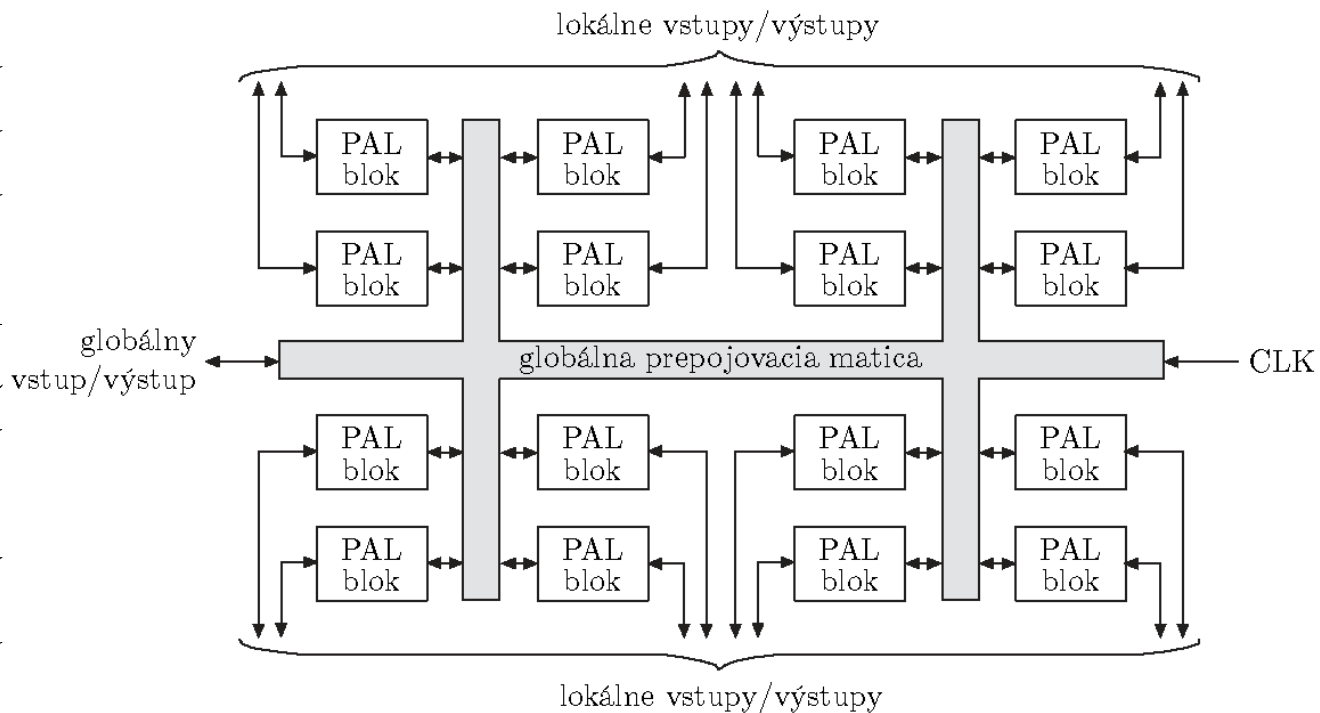




# Zložité PLD- CPLD

Klasické obvody PLD majú veľmi obmedzené prostriedky, takže umožňujú realizovať iba jednoduchšie funkcie. Preto výrobcovi začali združovať viacej takýchto obvodov na jednom čipe spoločne s potrebnými prostriedkami pre ich prepojenia. Takéto obvody sa väčšinou označujú ako CPLD. Typická štruktúra obvodu CPLD je znázornená na obrázku.

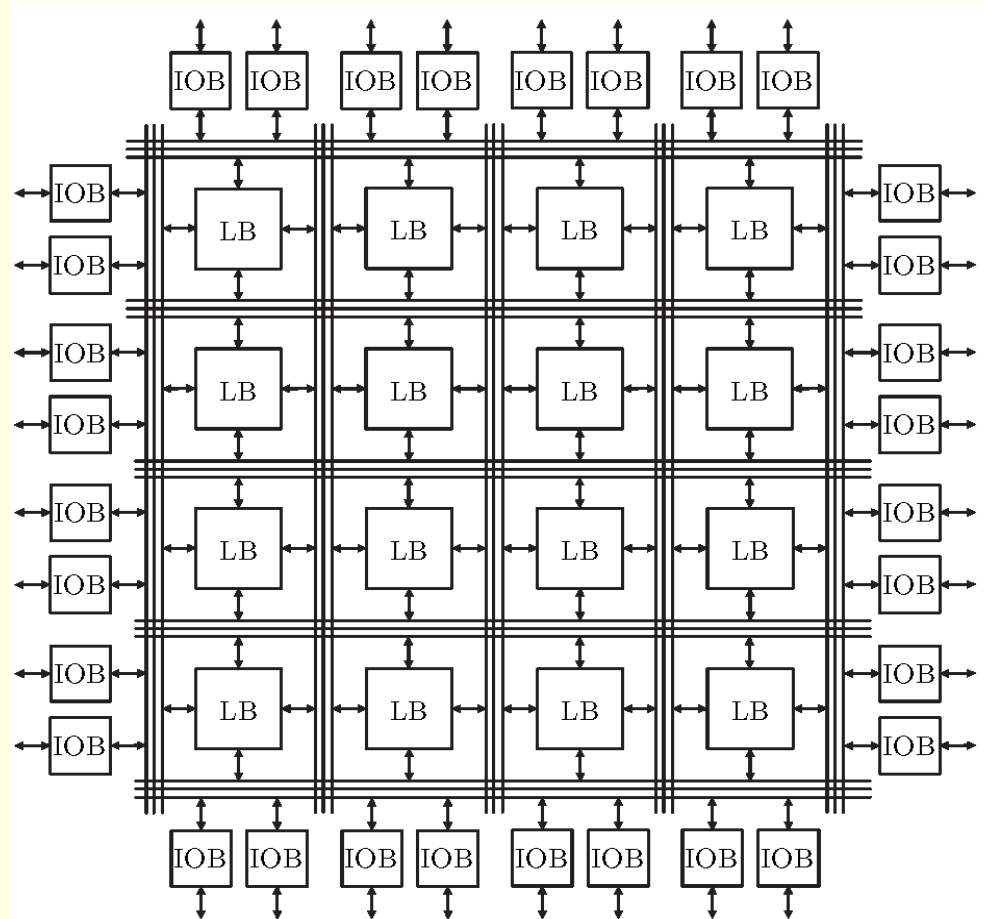
Každý výrobca CPLD používa trochu inú vnútornú štruktúru obvodov, ale väčšinou vychádza z tejto schémy. CPLD od rôznych výrobcov sa obvykle líšia v realizácií blokov vlastnej programovateľnej logiky aj keď väčšinou vychádza z klasickej štruktúry PAL.



# Obvody FPGA

Obvody typu FPGA majú z programovateľných obvodov najvšobecnejšiu štruktúru a obsahujú najviac logiky. Súčasné najväčšie obvody FPGA obsahujú až desiatky miliónov ekvivalentných hradiel (dvojvstupové hradlo NAND). Typickú štruktúru obvodu FPGA znázorňuje nasledujúci obrázok.

Bloky označené IOB (Input/Output Block) predstavujú vstupno- výstupné obvody pre každý v-v pin FPGA. Tieto bloky obvykle obsahujú register, budič, multiplexer a ochranné obvody. Bloky LB (Logic Block) predstavujú vlastné programovateľné logické bloky. Všetky bloky môžu byť rôzne prepojené globálnou maticou prepojení. Najpoužívanejšia štruktúra konfigurovateľného logického bloku je znázornená na obrázku.



# Obvody FPGA

FPGA obvykle umožňujú prepojiť niektoré signály logických blokov priamo so susedným bez nutnosti využívať globálnu maticu prepojení. Takéto spoje majú omnoho menšie oneskorenie a umožňujú tak realizovať napríklad rýchle obvody šírenia prenosu, čo je nevyhnutné pre sčítačky alebo násobičky.

Okrem blokov znázornených na predchádzajúcom obrázku integrujú výrobcovia do FPGA ďalšie prvky. Väčšina moderných FPGA obsahuje:

- niekoľko blokov rýchlej synchronnej statickej pamäti RAM,
- veľmi často obvody FPGA obsahujú PLL (Phase Locked Loop), alebo
- DLL (Delay Locked Loop) pre obnovenie charakteristík hodinového signálu, prípadne pre násobenie alebo delenie jeho frekvencie.
- Tieto hradlové polia často obsahujú bloky vhodné pre vytváranie zložitých systémov pre číslicové spracovanie signálov, ako sú napríklad hardvérové násobičky, alebo mikroprocesory.

# Tabuľka uvádzajúca odhad očakávaného vývoja technológie

Na základe odhadu konzorcia výrobcov IO (*SIA- Semiconductor Industry Association*).

	Year					
	1999	2001	2004	2006	2009	2012
Transistor gate length	0.14 $\mu\text{m}$	0.12 $\mu\text{m}$	90 nm	65 nm	50 nm	35 nm
Transistors per $\text{cm}^2$	14 million	16 million	24 million	40 million	64 million	100 million
Chip size	800 $\text{mm}^2$	850 $\text{mm}^2$	900 $\text{mm}^2$	1000 $\text{mm}^2$	1100 $\text{mm}^2$	1300 $\text{mm}^2$