

Pásmový priepust vo vývojovom prostredí DSP Builder

Popis:

Na vstup pásmového priepustu je privedený šum, vytvorený pomocou generátora pseudonáhodnej postupnosti. Pásmový priepust je realizovaný filtrom s konečnou impulzovou odozvou – FIR filtrom. Výstup generátora pseudo-náhodnej postupnosti aj výstup z filtra sú napojené na D/A prevodníky. Celý systém je nakonfigurovaný v FPGA obvode.

Softvérové a hardvérovo súčasti:

Hardvér: Cyclone® II DSP Development board EP2C70; USB-Blaster™ download cable; Osciloskop Tektronix TDS 2024B; PC Dell (Intel® Xeon® CPU, E5345@2,33GHz, 8GB RAM);

Softvér: MS Windows Server 2003 R2; Matlab ver 7.2 (R2008b) + Simulink; Quartus II v. 8.1 spolu s IP MegaCore® Library; DSP Builder v. 8.1;

Postup:

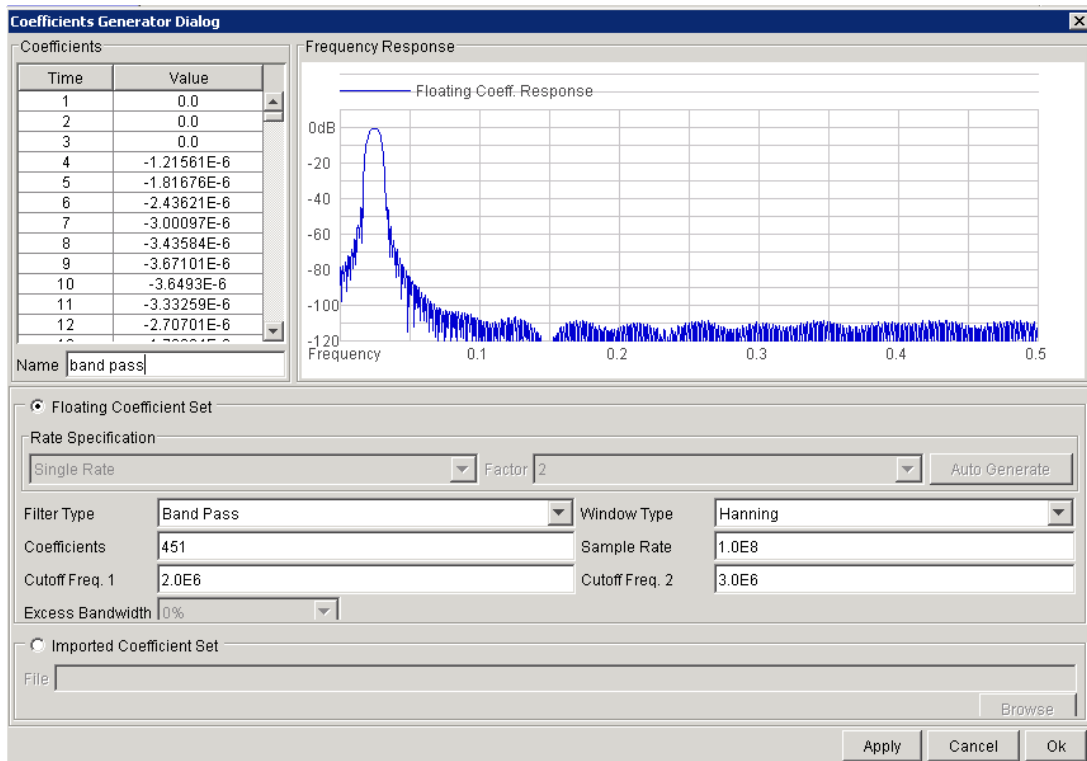
V prostredí programu Matlab vytvoríme nový model (*.mdl). V Simulinku z ponuky Altera DSP Builder Blockset, podsekcie Megacore Functions vyberieme fir_compiler_v8_1 a presunieme ho do nášho nového modelu. Dvojité kliknutím otvoríme úvodné okno funkcie (Obrázok 1) a kliknutím na Step 1, Parametrize otvoríme konfiguračné okno funkcie.



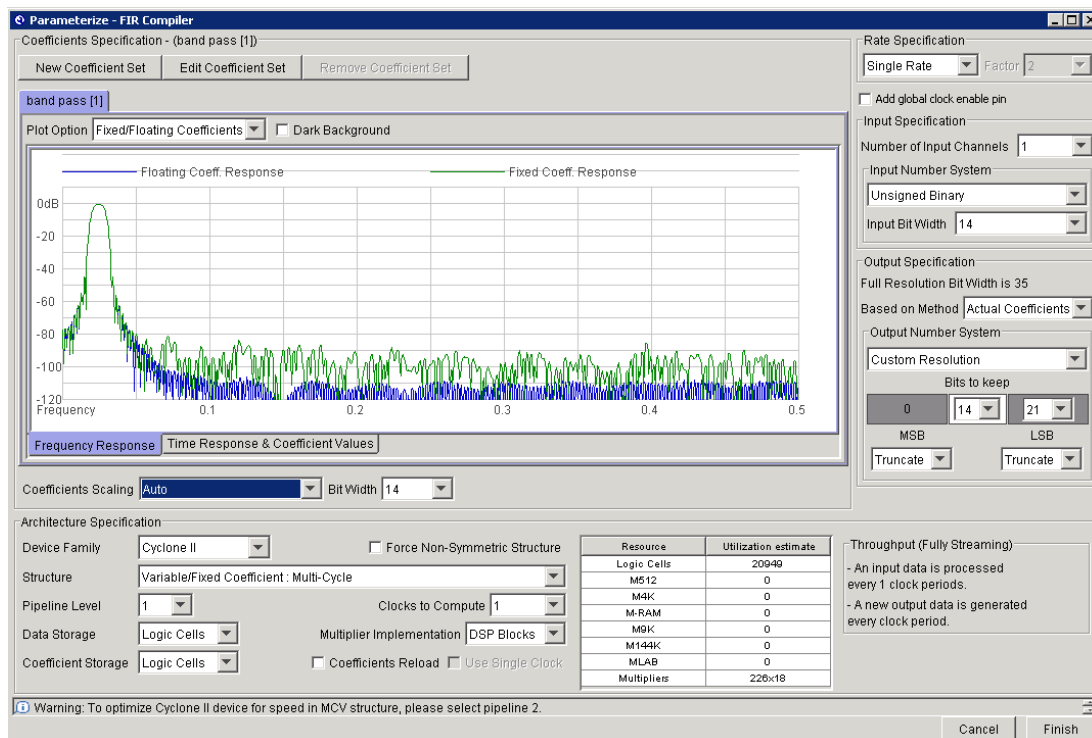
Obrázok 1: Úvodné okno IP funkcie fir_compiler_v8.1

Pokračujeme nastavením koeficientov filtra kliknutím na položku Edit Coefficient Set. Otvorí sa nám ďalšie okno (Obrázok 2), v ktorom nastavíme typ filtra (Filter type) na pásmový priepust (Band Pass). Tiež nastavíme hraničné frekvencie (Cutoff. Freq 1. aj 2.) napríklad na 2 až 3 MHz., počet koeficientov (Coefficients) zmeníme napríklad na 451 (ovplyvňuje kvalitu filtra) a vzorkovaciu frekvenciu (Sample Rate) na 100MHz (vzorkovacia frekvencia je v našom prípade pripojená k signálu globálnych hodín = 100MHz). Tiež môžeme zmeniť typ okna (Window type), ktorým taktiež ovplyvníme kvalitu filtra. V našom prípade sme zvolili Hanningovo okno. Po nastavení koeficientov kliknutím na ikonu Apply, a potvrdení kliknutím na Ok pokračujeme v nastavovaní IP funkcie fir filtra (Obrázok 3). Dôležité je nastaviť rodinu obvodov (Device Family), v našom prípade Cyclone II, a tiež je možné nastaviť štruktúru, v akej sa fir filter zrealizuje. Ďalšou dôležitou položkou je šírka vstupných dát v bitoch a typ (Input Number System a Input Bit Width).

Keďže vývojová doska obsahuje 14 bitové D/A prevodníky s neznamienkovým vyjadrením hodnoty, pre jednoduchosť použijeme tento typ číselného vyjadrenia hodnoty v celom našom systéme. Hneď pod prvkami nastavenia vstupu sú prvky pre nastavenie výstupných dát. Položku Output Number System nastavíme na Custom Resolution a Bits to keep nastavíme na 14 bitov (toto určuje šírku výstupných dát z funkcie v bitoch).

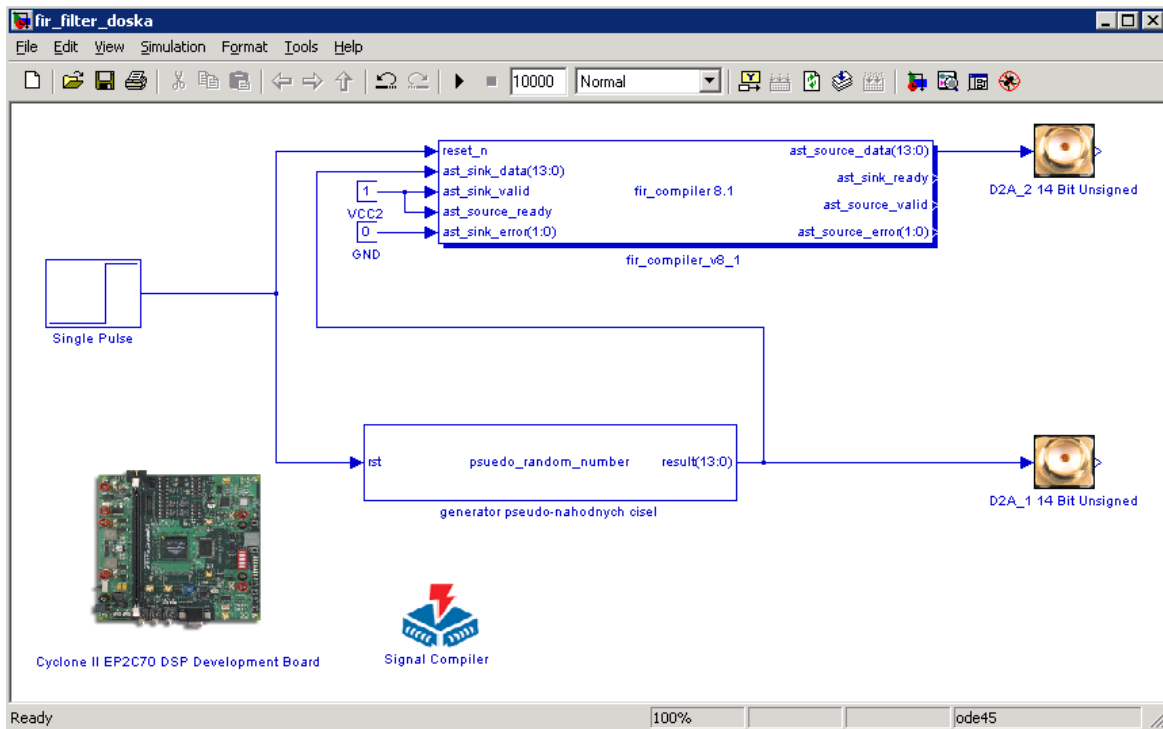


Obrázok 2: Nastavenie koeficientov fir filtra



Obrázok 3: Konfiguračné okno funkcie fir_compiler

Po nastavení všetkých hodnôt a potvrdení tlačidla Finish je ďalším ktorom vygenerovanie funkcie (Step 2. Generate). Po vygenerovaní funkcie fir_compiler pripojíme na vstup ast_sink_valid a ast_source_ready logickú jednotku pripojením komponentu VCC (Simulink > Altera DSP Builder Blockset > IO & Bus). Na vstup ast_sink_error pripojíme logickú 0 pripojením komponentu GND (Simulink > Altera DSP Builder Blockset > IO & Bus). Na vstup reset_n pripojíme komponent Single Pulse (Simulink > Altera DSP Builder Blockset > Gate & Control), ktorý je nastavený ako Step Up a delay 10, čo znamená že na začiatku resp. po stlačení tlačidla RESET bude na výstupe 10 hodinových taktov logická nula a potom sa hodnota zmení na logickú jednotku. To zabezpečí zresetovanie a inicializáciu IP funkcie fir_compiler.

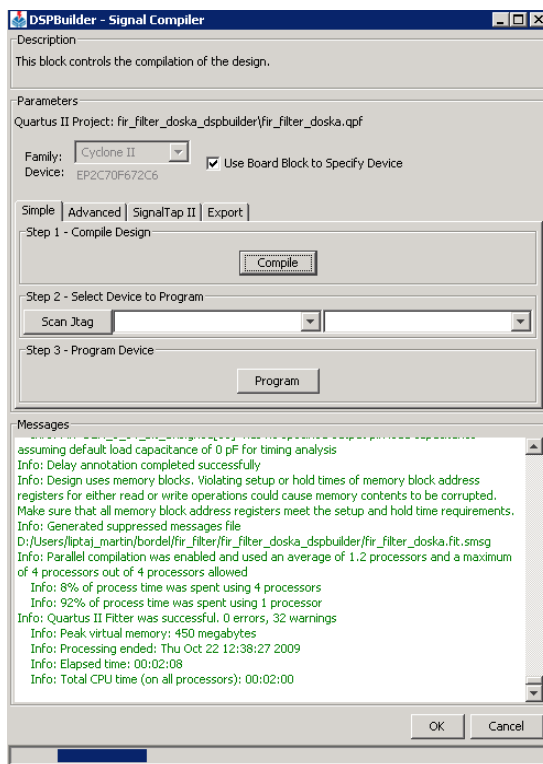


Obrázok 4: Schéma zapojenia

Ďalším krokom je vygenerovanie generátora pseudonáhodnej postupnosti (GPnP). GPnP je opísaný pomocou opisného jazyka VHDL (kód je v prílohe). Do projektu je implementovaný pomocou komponentu HDL Import. Z ponuky Simulinku v sekcii Altera DSP Builder Blockset, podsekcia AltLab, vyberieme komponent HDL Import a presunieme ho do nášho modelu. Dvojitým kliknutím sa otvorí konfiguračné okno, kde tlačidlom add vyberieme VHDL kód, definujeme najvyššiu entitu a klikneme na tlačidlo Compile. Prebehne kompilácia a vytvorí sa blok GPnP. Vstup rst je asynchrónny reset a slúži na inicializáciu GPnP. Tento vstup pripojíme tiež na výstup komponentu Single Pulse. Výstupom GPnP je 14 bitový signál. Tento privedieme na vstup komponentu fir_compiler a taktiež na D/A prevodník. Tento nájdeme taktiež v sekcii Altera DSP Builder Blockset, v podsekcii Boards a CycloneIIEP2C70. Označenie prevodníka je D2A_1 14 Bit Unsigned. Taktiež vyberieme druhý D/A prevodník (D2A_1 14 Bit Unsigned), a pripojíme ho na výstup komponentu fir_compiler. Ďalej je potrebné do modelu pridať symbol dosky (Simulink > Altera DSP Builder Blockset > Boards > CycloneIIEP2C70 > Cyclone II EP2C70 DSP Development Board) a nakoniec ešte komponent Signal Compiler, ktorý nájdeme v sekcii Altera DSP Builder Blockset v podsekcii AltLab. V tomto bloku je potrebné zaškrtnúť checkbox Use Board Block to Specify Device.

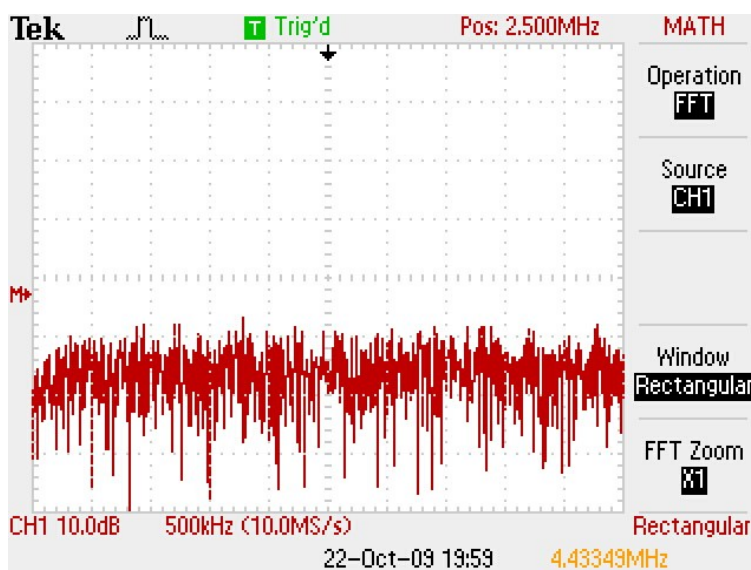
Ak máme všetky prvky návrhu pospájané, uložíme model pod nejakým názvom (napr. v našom prípade fir_filter_doska(Obrázok 4)) a pomocou prvku Signal Compiler, stlačením tlačidla Compile spustíme kompiláciu celého návrhu (Obrázok 5). Po úspešnej kompilácii pripojíme vývojovú dosku

k PC pomocou kábla USB Blaster™ a zapneme napájanie vývojovej dosky. Stlačením tlačidla Scan Jtag program prehľadá možné pripojenia konfiguračného káblu, nájde kábel USB Blaster™ čo vypíše v

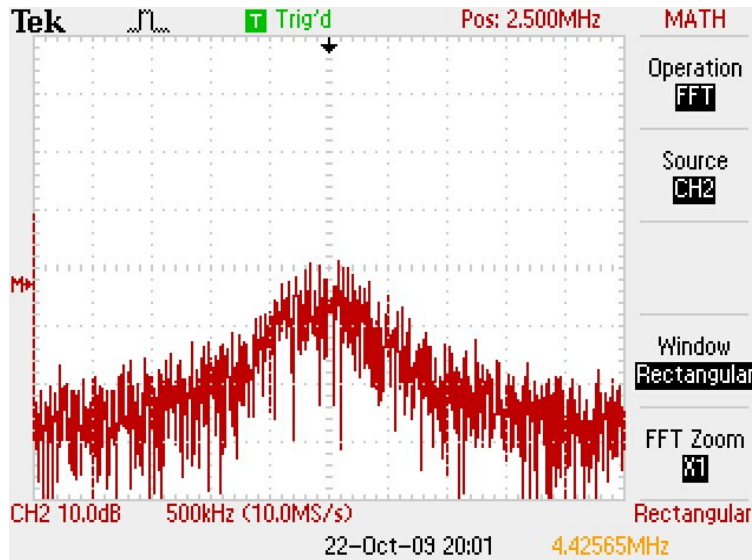


Obrázok 5: Kompilácia projektu

prvom okienku. V druhom okienku vypíše typ dosky (konkrétne EP2C70). Ďalším krokom je nahrať konfiguračný súbor do pamäte obvodu. Tým sa spustí náš návrh. Na D/A prevodníky pripojíme dve sondy osciloskopu. Osciloskop tlačidlom Math nastavíme na zobrazovanie FFT charakteristiky meraného signálu. Prvý kanál pripojíme na výstup prvého prevodníka, kde nameriame (Obrázok 6) takmer biely šum (zhruba do 20MHz). Druhý kanál pripojíme na výstup druhého prevodníka (výstup z filtra), kde nameriame ružový šum s frekvenčnou charakteristikou pohybujúcou sa od 2 do 3 MHz (Obrázok 7).



Obrázok 6: Výstup z generátora pseudonáhodnej postupnosti - biely šum



Obrázok 7: Výstup z fir filtra - ružový šum (2-3 MHz, vrchol 2,5 MHz)

Záver:

Pomocou softvérových a hardvérových komponentov uvedených v úvode sme navrhli a realizovali pásmový priepust z hraničnými frekvenciami 2 až 3 MHz. Pomocou týchto prvkov je možné realizovať aj iné, oveľa komplikovanejšie a komplexnejšie návrhy.