

# FIR Filter pre FPGA v prostredí Quartus

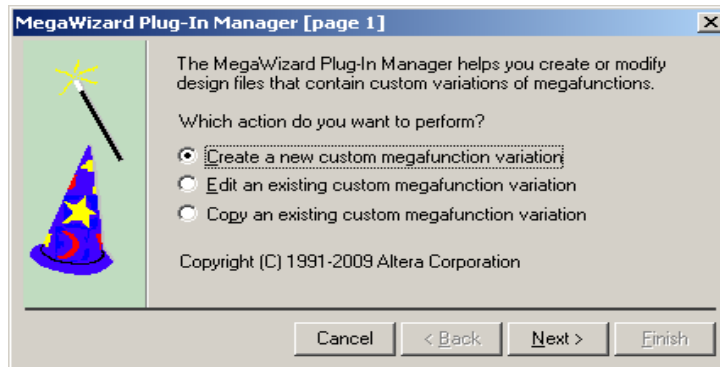
## Zadanie:

Realizujte FIR Filter pomocou „FIR Compiler“ v prostredí Quartus. Šírka vstupného vektoru má byť 16 bitov, šírka výstupného vektoru má byť takisto 16 bitov. Filter realizujte pre rodinu Cyclone III. Filter má spracovávať nezáporné celé čísla. Filter realizujte ako dolnopriepusntný s 37 koeficientami a pravouhlým oknom. Hraničná frekvencia má byť 0.125 násobok vzorkovacej frekvencie. Porovnajete rýchlosť a nároky na zdroje FPGA daného filtra pri rôznych nastaveniach jeho generovania (zdroje pre násobičky: DSP bloky/logické jednotky; zdroje pre pamäťové elementy: RAM bloky/ logické jednotky, miera zret'azenia...). Pre aké nastavenie pracuje filter najrýchlejšie? Pre aké nastavenie spotrebuje filter najmenej zdrojov FPGA? Aký optimálny kompromis by ste zvolili?

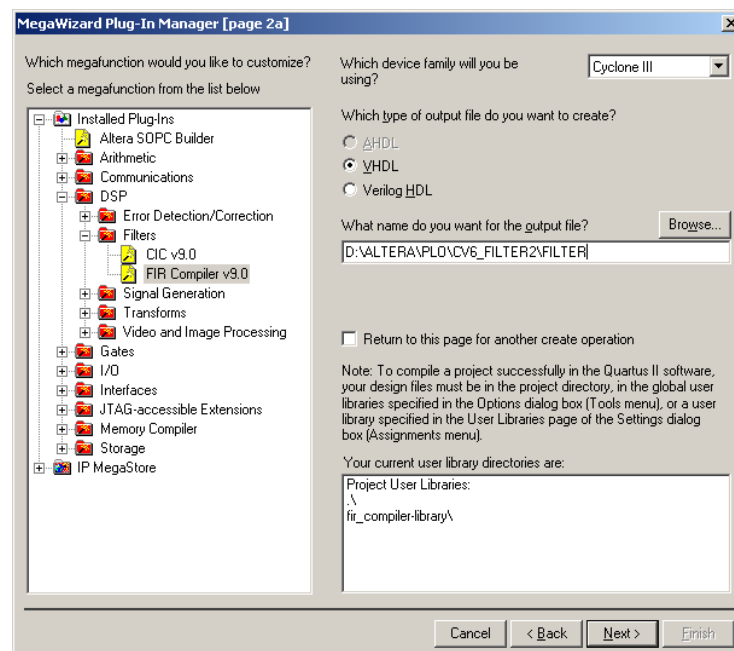
FIR filter odsimulujte nasledujúcim spôsobom: v prostredí MATLAB vygenerujte 250x1024 náhodných čísel v rozsahu 1-10000 a zapíšte do súboru. Tento signál bude predstavovať WGN. Tento signál aplikujte v simulácii celého projektu v Modelsim. Výstup simulácie zaznamenajte takisto do súboru. Súbor načítajte v Matlabe. Realizujte 1024 bodovú FFT na výstupnom súbore 250x. 250 FFT spriemerníte a výsledok nechajte vykresliť do grafu s logaritmickou stupnicou pre Y.

## Postup:

1. Vytvorte projekt s názvom FILTER.
2. Spustite Tool > MegaWizard
3. Vyberte:



4. Vyberte:



5. zobrazí sa:



6. Vyberte Step 1 Parametrize

7. Nastavte:

**Architecture Specification**

Device Family: Cyclone III  Force Non-Symmetric Structure

Structure: Variable/Fixed Coefficient: Multi-Cycle

Pipeline Level: 1  Coefficients Reload  Use Single Clock

Data Storage: Logic Cells Multiplier Implementation: DSP Blocks

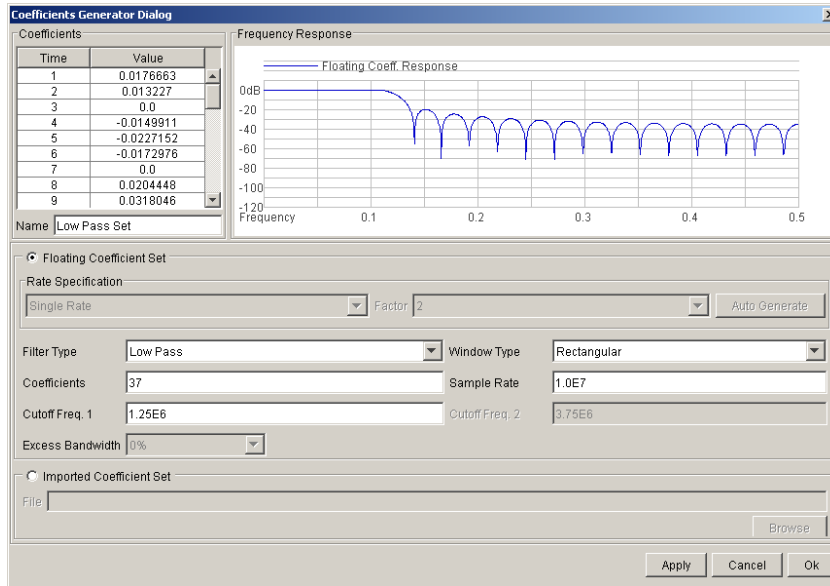
Resource	Utilization estim...
Logic Cells	1804
M512	0
M4K	0
M-RAM	0
M9K	0
M144K	0
MLAB	0
Multipliers	19x18

**Throughput (Fully Streaming)**

- An input data is processed every 1 clock periods.
- A new output data is generated every clock period.

Warning: Structure "Variable/Fixed Coefficient: Multi-Cycle" does not support data storage in "M-RAM".  
 Info: Output bit width has been reset to full resolution bit width.

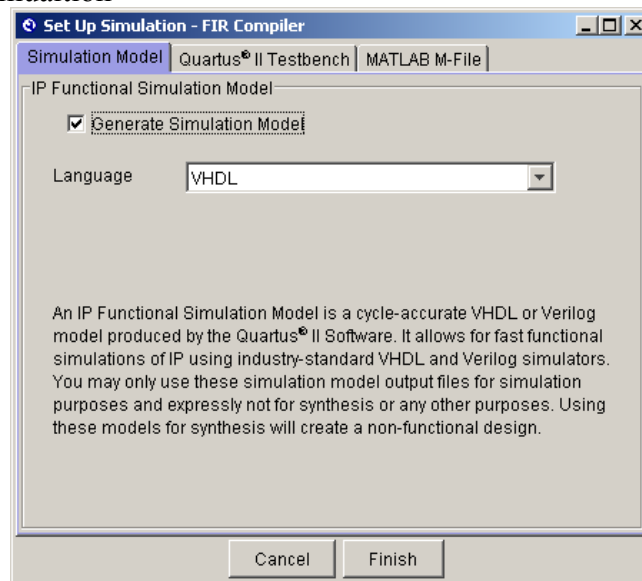
## 8. Edit Coefficients:



9. Stlačte OK

10. Stlačte Finish

11. Step 2 Set Up Simulation



12. Finish

13. Step 3 Generate

14. Projekt skompilujte (Web licencia pravdepodobne nepodporuje generovanie Netlistu pre EDA nástroje a preto je nutné odobrať ModelSim z nastavení projektu)

15. Zistite aké má projekt nároky na zdroje a aká je maximálna taktovacia frekvencia.

16. Realizujte simuláciu v modelsime.

17. Spustite modelsim

18. Ako pracovný adresár pre ModelSim zvolte Pracovný adresár v Quartus Projekte.

19. Prepíšte vstupné dáta pre filter pomocou matlabu:

```
R=floor(rand(1024*256,1)*10000);  
fid = fopen('filter_input.txt','wt');  
fprintf(fid,'%d\n',R);  
fclose(fid);
```

```

FFTR(1:1024) = 0;
FFTR;

for i=1:250
    vector = R(((i-1)*1024)+1:i*1024);
    FFT    = abs(fft(vector));
    FFTR   = FFT' + FFTR;
end

```

```
semilogy(FFTR/(250*10000));
```

20. Spustíte simuláciu v modelsime napísaním do príkazového riadku: do FILTER\_msim.tcl

21. výsledok simulácie overte v Matlabe:

```
load FILTER_output.txt
```

```
R = FILTER_output;
```

```
FFTR(1:1024) = 0;
FFTR;
```

```

for i=1:250
    vector = R(((i-1)*1024)+1:i*1024);
    FFT    = abs(fft(vector));
    FFTR   = FFT' + FFTR;
end

```

```
semilogy(FFTR/(250*10000));
```

22. Výsledok:

